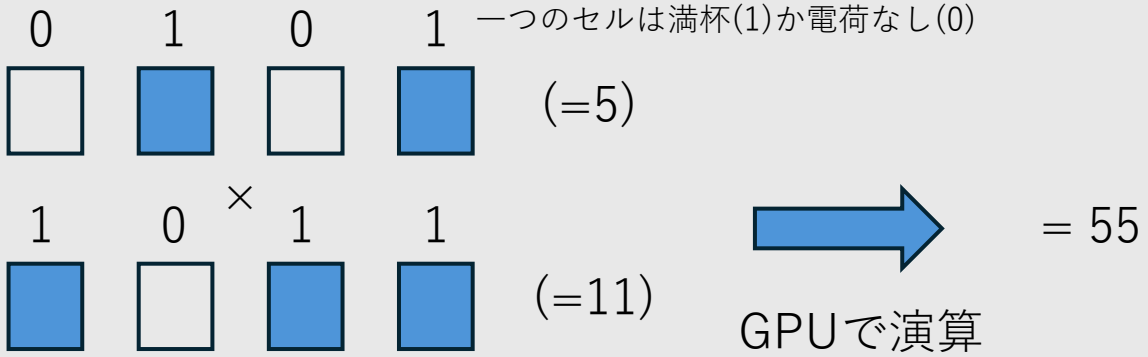
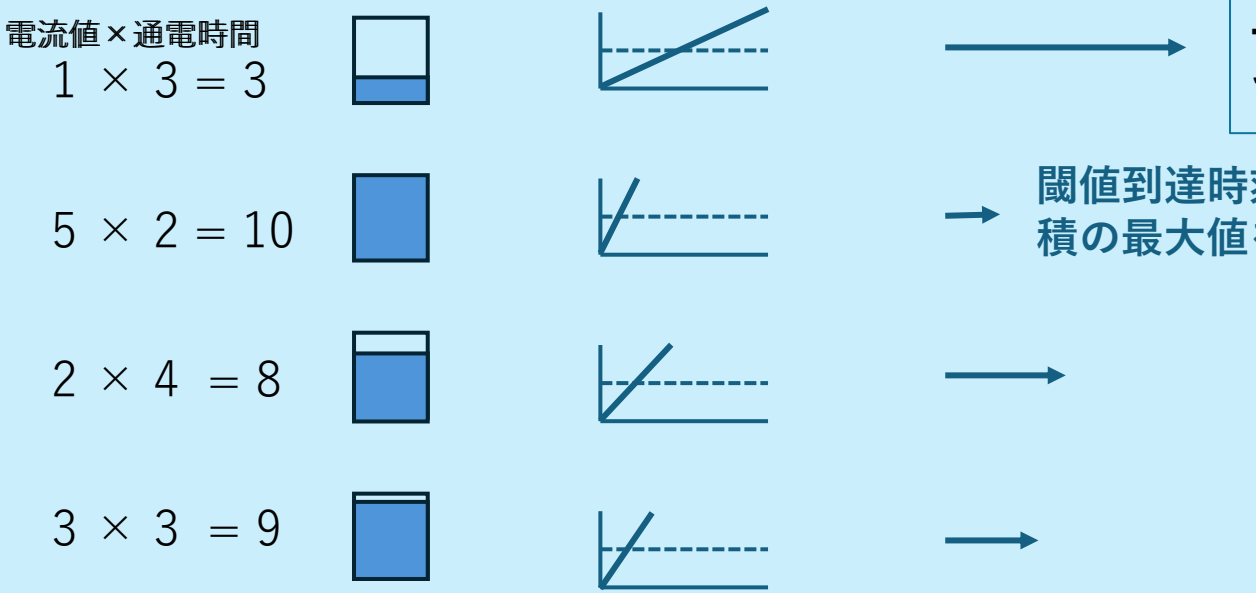
時間ドメイン演算とデジタル演算の比較

デジタル演算



演算に多くのセルとGPUが必要

時間ドメイン演算

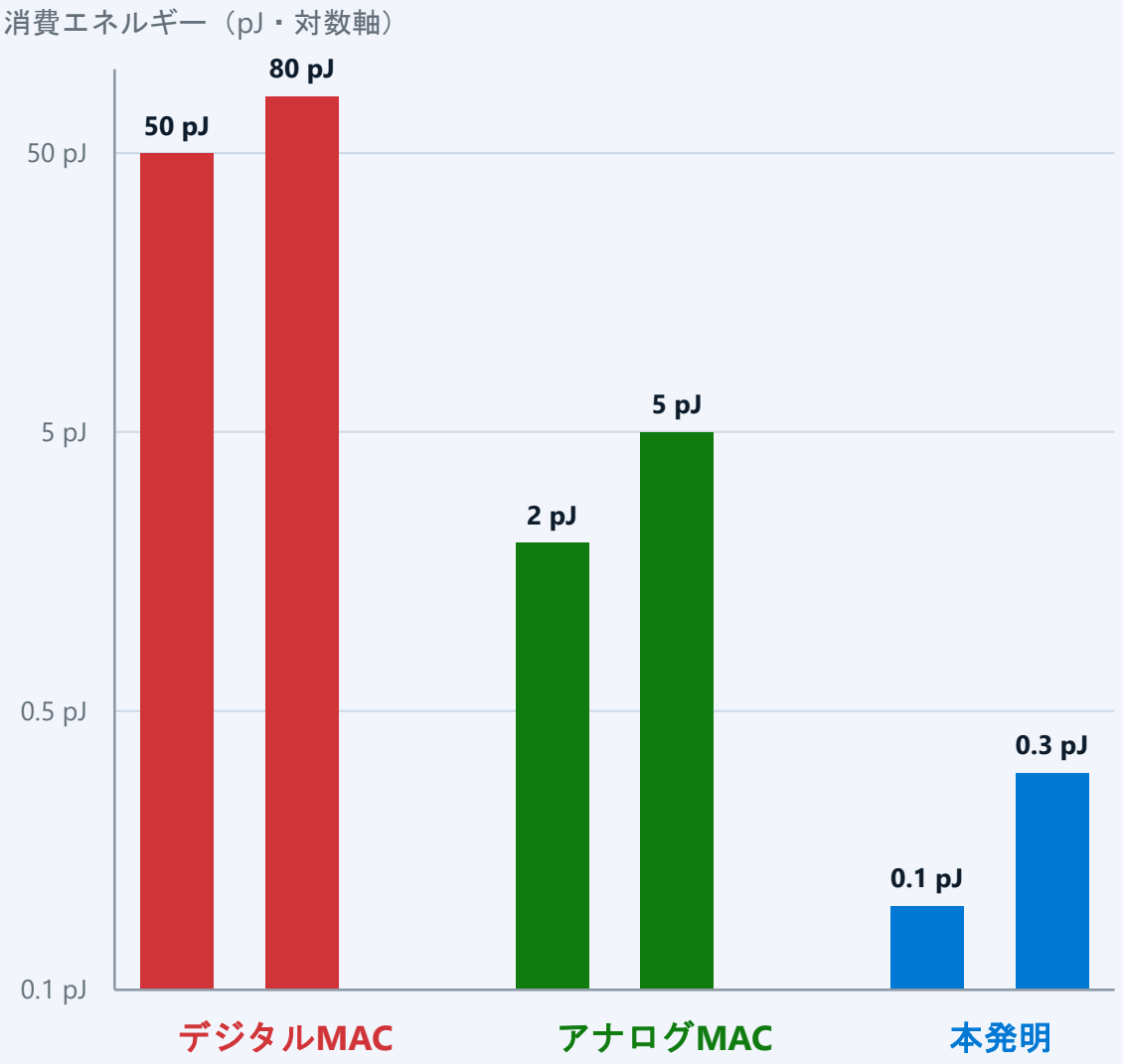


外部に積算回路を持つ必要がなく、
一つのトランジスタの中で物理的に積算を行う。

閾値到達時刻最短のセルが積の最大値を持つ

出願番号末尾	役割
205277	積演算
220805	電荷保持
223131	積和演算
236065	分類・選択

演算1回あたりの消費エネルギー比較（pJ）



本発明は、乗算器を使用せず、
電流×時間＝電荷 → 閾値時刻読み出し
という構造により、
0.1～0.3 pJ の極めて低い消費エネルギーで乗算相当の演算が可能となる。

デジタルMACと比べ、

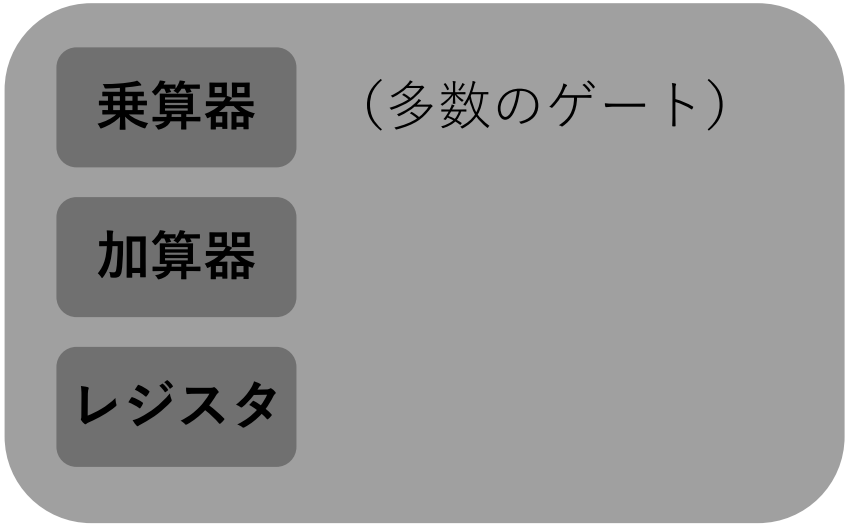
1～3桁の低消費電力化が

期待できる。

比較値：提示値（設計想定）

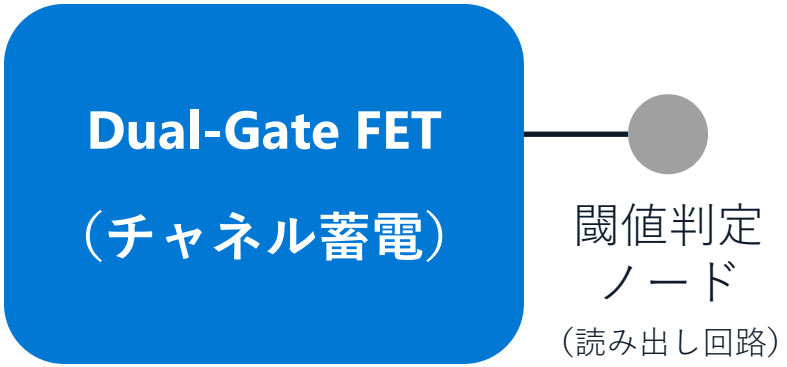
セル面積比較（概念図）

従来のデジタルMAC



面積：数百〜数千トランジスタ

本発明：Dual-Gate FET構造



面積：数トランジスタ（1セル構造）

蓄電は Dual-Gate FET の **ソース・ドレイン間チャネル領域**で行う。積分窓中はチャネルを外部回路から完全隔離し、Q = I(w)T(x) を生成する。
読み出し時のみ、チャネル電位を閾値判定ノードへ接続する。
この1セル構造はデジタルMACより **圧倒的に小面積**で、NAND・DRAM・ロジックなど多様なプロセスに実装できる。

本発明の総合優位性

	速度	消費電力	面積
本発明	◎ ns級	◎ fJ〜pJ	◎ 1セル構造
従来	△ 方式・回路に依存	△〜× pJ〜高消費	× 回路規模が大きい

本発明は、**高速（ns級）・低消費電力（fJ〜pJ）・小面積（1セル構造）**の三要素を同時に満たす新しい時間ドメイン演算方式である。

AIアクセラレータ、ストレージ内AI、類似度検索などに高い適用性を持つ。

総合評価：提示内容に基づく

本発明の効果

速度・消費電力・面積の比較結果を、実装価値と応用性へつなげる

効果一覧

01 — **ns級の高速応答**

02 — **fJ〜pJ級の低消費電力**

03 — **1セル構造による極小面積**

04 — NAND／DRAM／ロジックで実装可能

05 — 高並列アレイ構成が容易

06 — 乗算器不要の時間ドメイン演算方式

実装・応用における価値

PROCESS FLEXIBILITY

**既存プロセス活用で、
追加設備投資を抑えた低コスト導入**

SCALABLE COMPUTE

**専用乗算器が不要なため、
ロジック領域を抑えて大規模アレイ化**

APPLICATION FIT

**ストレージ内AI・低消費電力推論に
高い適合性を持つ**

SUMMARY

高速 × 低消費電力 × 小面積を同時に満たす、新しい時間ドメイン演算方式

比較図の結果を総括し、実装性・並列性・応用性まで一貫して示す